

Sequential System : Definition and Analysis



Agenda

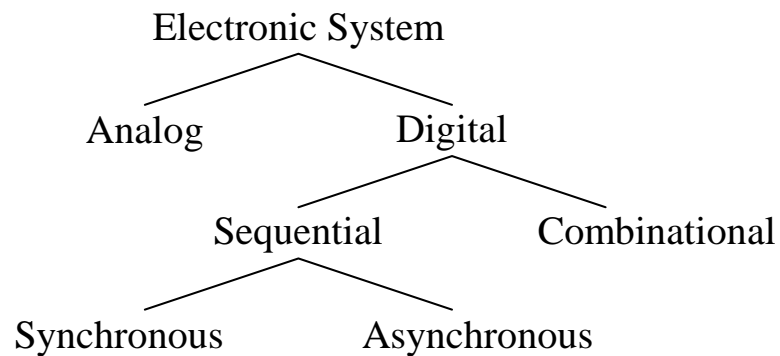


- Overview of Sequential System
- Memory Devices
- Literal Analysis
- Symbolic Analysis



Sequential system

- Sequential System คือระบบที่ Output Function ขึ้นอยู่กับ Input ของระบบในปัจจุบัน และ Input ก่อนหน้านี้



3



Sequential system

- Sequential System แบ่งเป็น 2 ประเภท
 - Synchronous System
 - Asynchronous System
- Synchronous (Clocked) ลักษณะการตอบสนองกับลำดับของ Input ที่เข้ามา และ Output ที่ได้จากระบบ จะถูกกำหนดการทำงาน ด้วยเวลาที่แน่นอน

4

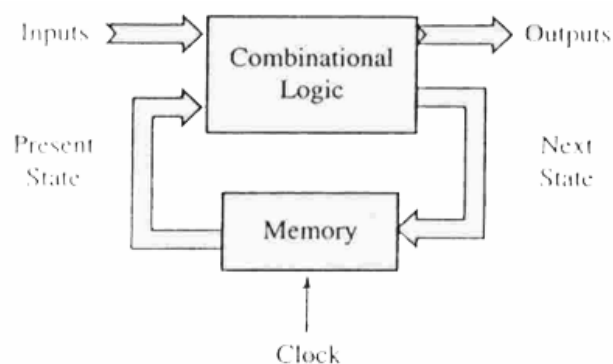
Sequential system

- Asynchronous (Self Timed) ลักษณะการตอบสนองกับลำดับของ Input ที่เข้ามา และ Output ที่ได้จากระบบ จะถูกโดยค่าหน่วงเวลาภายใน ซึ่งมีช่วงเวลาที่ไม่นแน่นอน
- Synchronous ได้รับความนิยมมากกว่าแบบ Asynchronous เพราะง่ายต่อการทำความเข้าใจและออกแบบ

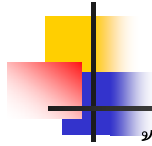
5

Overview of Sequential systems

- Sequential = Combinational + Memory



6



Overview of Sequential systems

- ขั้นตอนการทำงาน

1. กำหนดค่าในหน่วยความจำ ที่เป็นตำแหน่งของ Power – Up State ของระบบ
2. ทดลองให้ค่าของ Input
3. พิจารณาถึง Input ในปัจจุบัน กับ สถานะปัจจุบัน (Present State) นำไปสร้างค่าของ Output และค่าของ สถานะถัดไป (Next State)
4. รอสัญญาณนาฬิกา เพื่อใช้ในการเปลี่ยนแปลงข้อมูลในหน่วยความจำ เพื่อทำการเปลี่ยนข้อมูลจาก Next State ให้เป็น Present State
5. กลับไปทำข้อ 2

7



Overview of Sequential systems

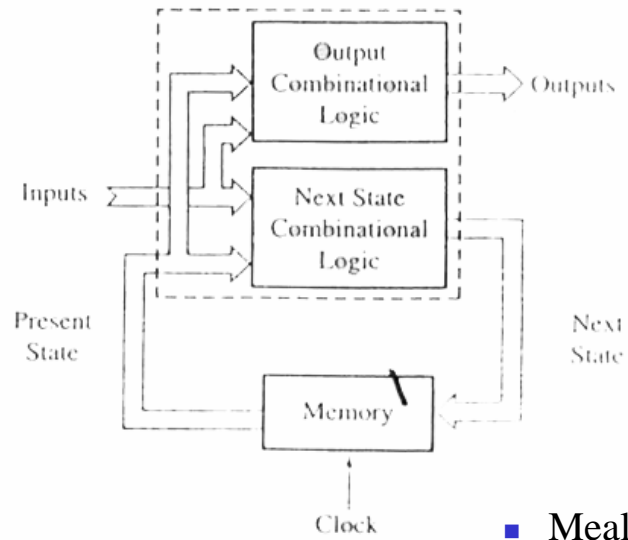
- Mealy and Moore Synchronous Sequential Digital System

- Mealy System ค่าของ Output ของระบบ จะขึ้นอยู่กับ ค่าของ Input ในปัจจุบัน และ Present State
- Moore System ค่าของ Output ของระบบ จะขึ้นอยู่กับ ค่าของ Present State เท่านั้น

8



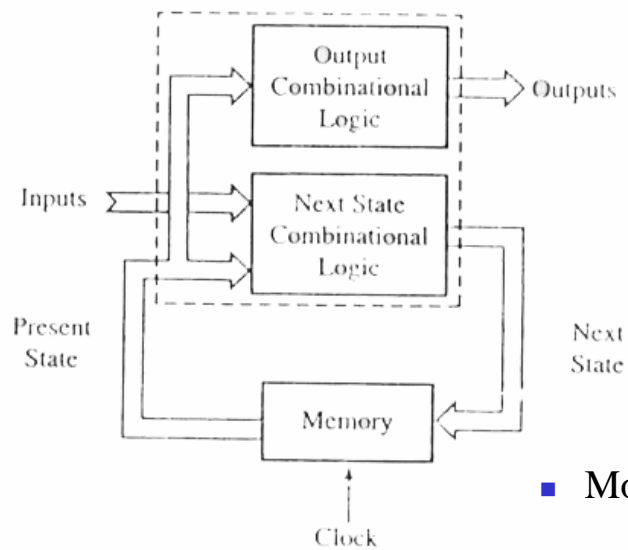
Overview of Sequential systems



9

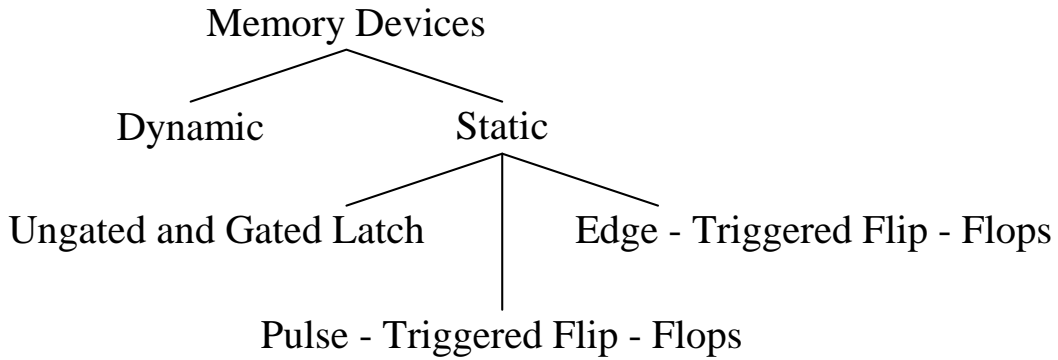


Overview of Sequential systems



10

Memory Devices

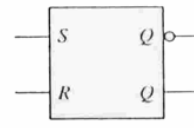
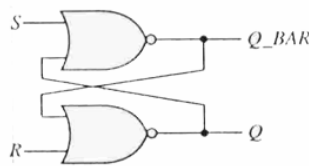


11

Memory Devices

■ Ungated (Basic) Latch

- SR Latch
- JK Latch
- D Latch

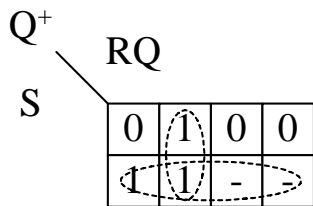


| S | R | Q | Q ⁺ | Q _{BAR} ⁺ | |
|---|---|---|----------------|-------------------------------|------------------|
| 0 | 0 | 0 | 0 | 1 | } No Change |
| 0 | 0 | 1 | 1 | 0 | |
| 0 | 1 | 0 | 0 | 1 | } Reset |
| 0 | 1 | 1 | 0 | 1 | |
| 1 | 0 | 0 | 1 | 0 | } Set |
| 1 | 0 | 1 | 1 | 0 | |
| 1 | 1 | 0 | 0 | 0 | } Illegal Inputs |
| 1 | 1 | 1 | 0 | 0 | |

12

Memory Devices

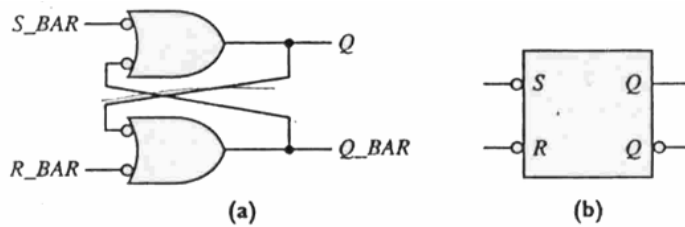
| Row | S | R | Q ⁺ | Action |
|-----|---|---|----------------|----------------|
| 0 | 0 | 0 | Q | No Change |
| 1 | 0 | 1 | 0 | Reset |
| 2 | 1 | 0 | 1 | set |
| 3 | 1 | 1 | - | Illegal inputs |



$$Q^+ = S + (\bar{R} \cdot Q)$$

13

Memory Devices

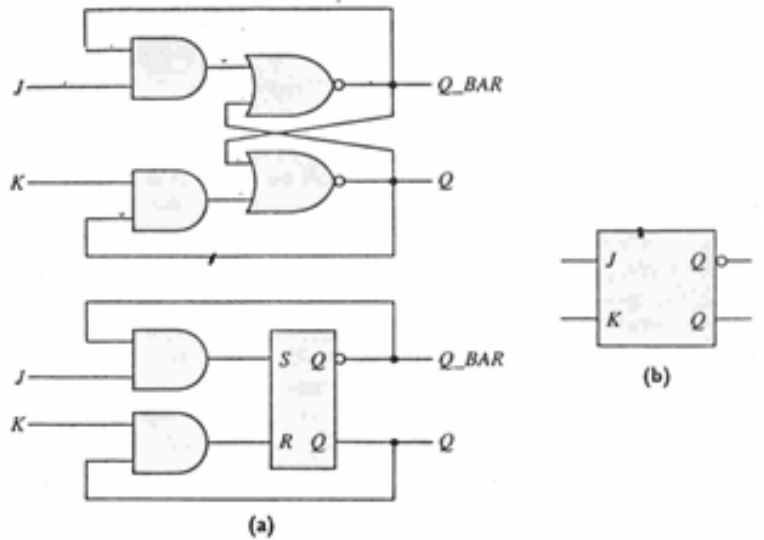


| S_BAR | R_BAR | Q ⁺ | |
|-------|-------|----------------|---------------|
| 0 | 0 | - | Illegal Input |
| 0 | 1 | 1 | Set |
| 1 | 0 | 0 | Reset |
| 1 | 1 | Q | No Change |

(c)

14

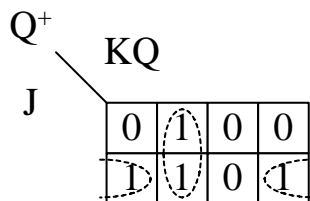
Memory Devices



15

Memory Devices

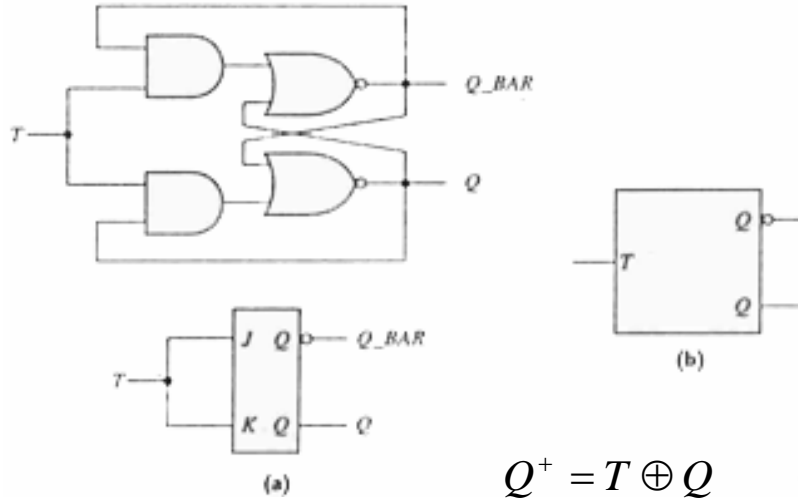
| Row | J | K | Q ⁺ | Action |
|-----|---|---|----------------|-----------|
| 0 | 0 | 0 | Q | No Change |
| 1 | 0 | 1 | 0 | Reset |
| 2 | 1 | 0 | 1 | set |
| 3 | 1 | 1 | \bar{Q} | Toggle |



$$Q^+ = (J \cdot \bar{Q}) + (\bar{K} \cdot Q)$$

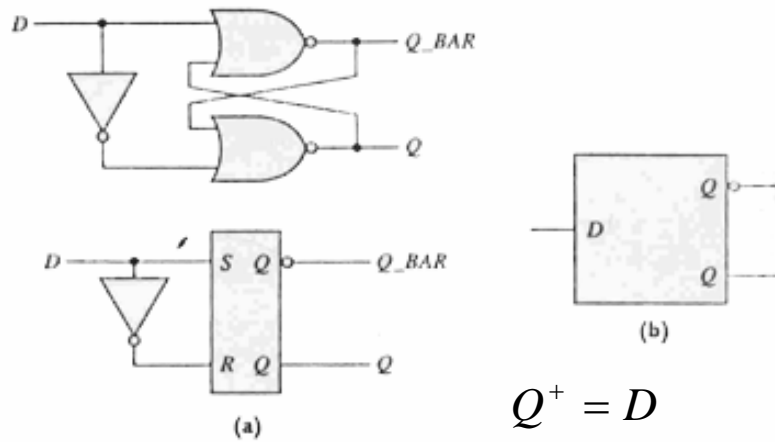
16

Memory Devices



17

Memory Devices



18

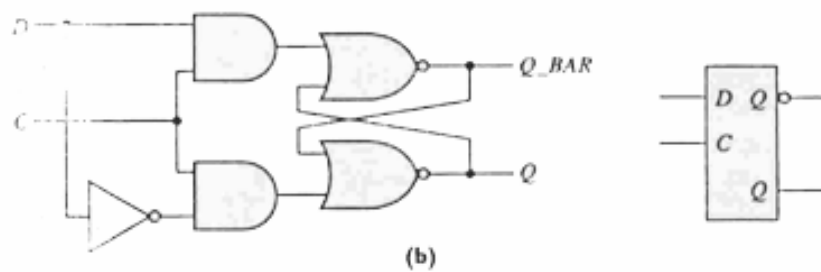
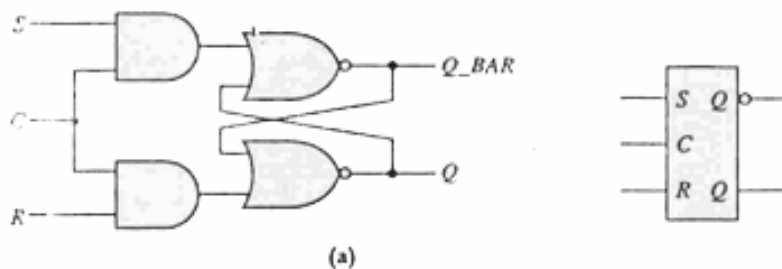
Memory Devices

■ Gate Latches

- Basic latch เหมาะสำหรับการทำงาน ในลักษณะ Asynchronous
- Gate Latch จะเพิ่มในส่วนของ สัญญาณควบคุม เช่น enabling หรือ Clock

19

Memory Devices



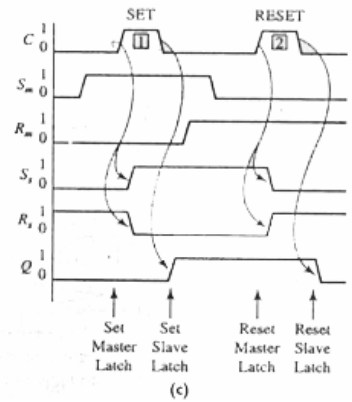
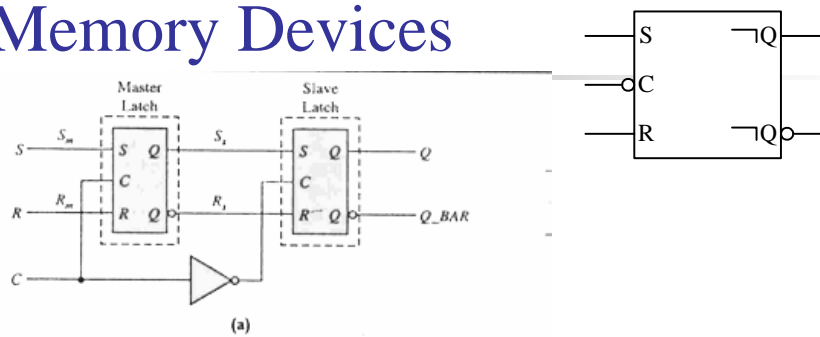
20

Memory Devices

- Master – Slave (Pulse – Triggered) Flip-Flops
 - การใช้ Gate Latch ไม่เหมาะสำหรับระบบที่ต้องการทำงานโดยใช้สัญญาณนาฬิกา 1 สัญญาณนาฬิกา
 - จะต้องแน่ใจว่าช่วงเวลาของสัญญาณ Clock ที่ให้กับระบบ มีขนาดเพียงพอ ให้กับส่วนหน่วยความจำทำการ Update ข้อมูล
 - แก้ไขด้วยการใช้ลักษณะของ Master Slave
 - สัญญาณที่ใช้คือ 

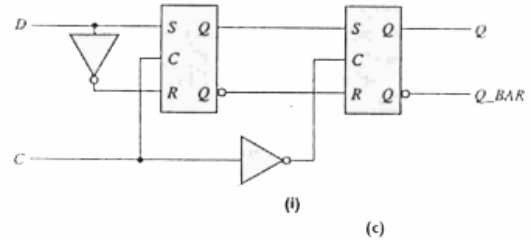
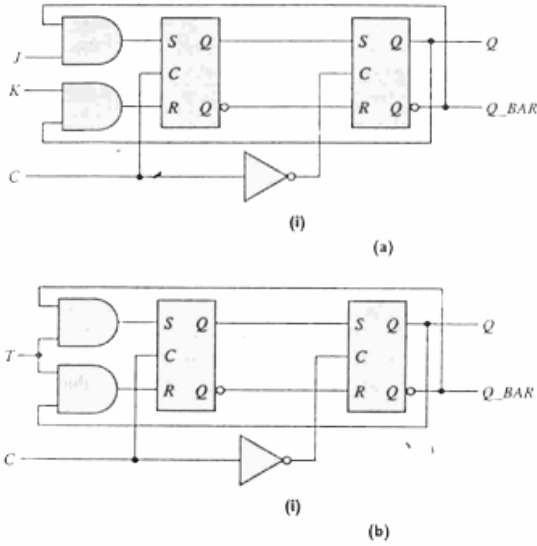
21

Memory Devices



22

Memory Devices

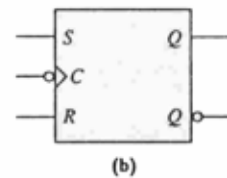
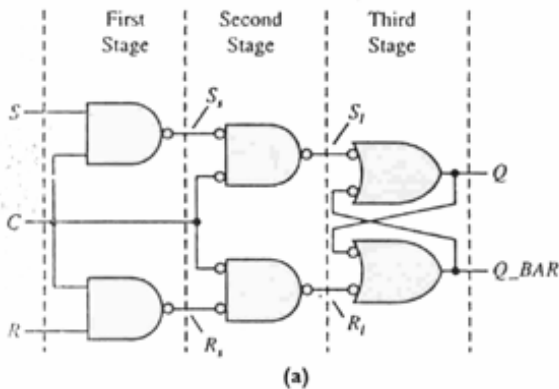


23

Memory Devices

■ Edge-Triggered Flip-Flop

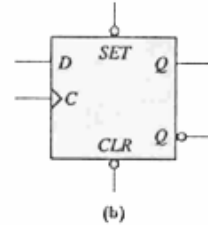
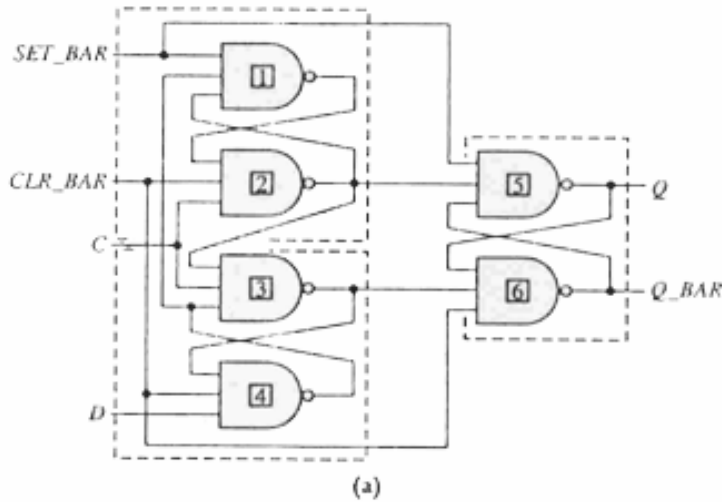
- จะสนใจเฉพาะช่วงที่เป็น ขอบขาขึ้น หรือ ขอบขาลง ของ สัญญาณนาฬิกา



| C | S | R | Q* |
|---|---|---|----|
| 1 | - | - | Q |
| ↓ | 0 | 0 | Q |
| ↓ | 0 | 1 | 0 |
| ↓ | 1 | 0 | 1 |
| ↓ | 1 | 1 | - |
| 0 | - | - | Q |

24

Memory Devices



25

Memory Devices

| SET_BAR | CLR_BAR | C | D | Q ⁺ | Action |
|---------|---------|---|---|----------------|--------------------|
| 0 | 0 | - | - | - | Illegal Input |
| 0 | 1 | - | - | 1 | Asynchronous Set |
| 1 | 0 | - | - | 0 | Asynchronous Reset |
| 1 | 1 | 0 | - | Q | No Change |
| 1 | 1 | ↑ | 1 | 1 | Synchronous Set |
| 1 | 1 | ↑ | 0 | 0 | Synchronous Reset |
| 1 | 1 | 1 | - | Q | No Change |

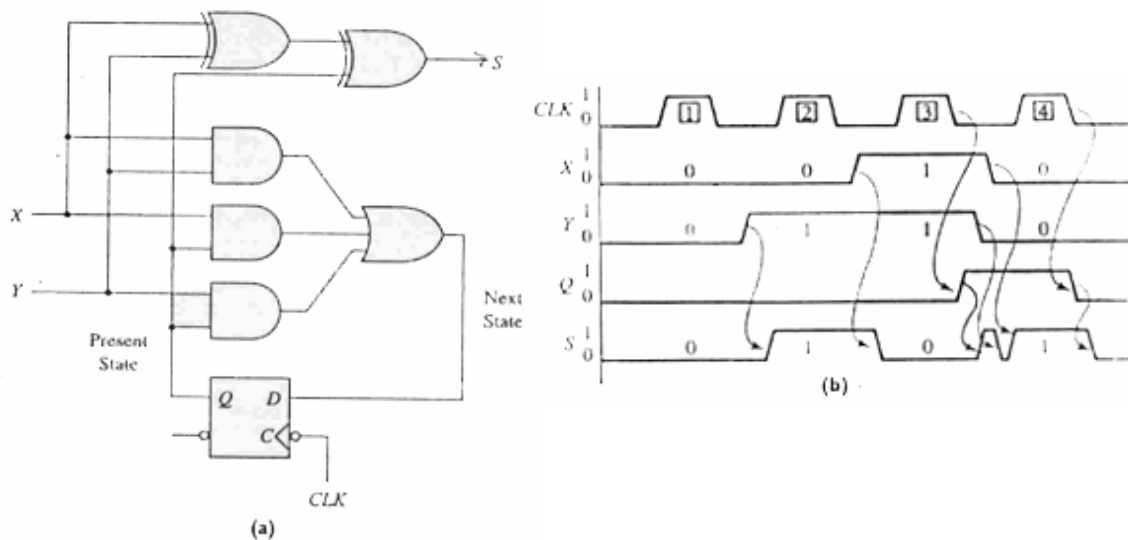
26

Literal Analysis

- การกำหนด Set ของ 0, 1 ทดลองป้อนเข้าที่ Input ของระบบ เพื่อดูผลลัพธ์ ของระบบ
- Mealy Machine
 - กำหนด สถานะเริ่มต้นของหน่วยความจำ
 - กำหนดค่าของ Input ที่ต้องการทดสอบ
 - หาค่าของ Output และ Next State ที่เกิดขึ้น จาก Input นั้น
 - เก็บค่าของ Output ที่เกิดขึ้น
 - กำหนดให้มีสัญญาณ นาฬิกา เกิดขึ้น เพื่อทำการ Update ค่าของ Present State
 - กลับไปทำข้อ 2

27

Literal Analysis



28

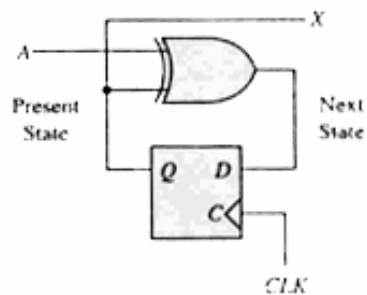
Literal Analysis

■ Moore Machine

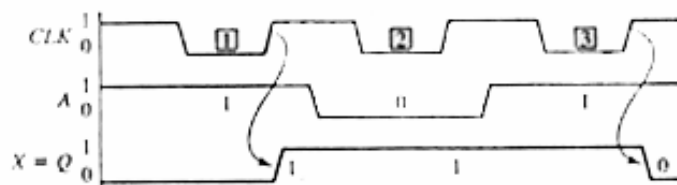
- กำหนด สถานะเริ่มต้นของหน่วยความจำ
- กำหนดค่าของ Input ที่ต้องการทดสอบ
- หาค่าของ Next State ที่เกิดขึ้น จาก Input นั้น
- กำหนดให้มีสัญญาณ นาฬิกา เกิดขึ้น เพื่อทำการ Update ค่าของ Present State แล้วทำการ หาค่าของ Output ที่เกิดขึ้น
- เก็บค่าของ Output ที่เกิดขึ้น
- กลับไปทำข้อ 2

29

Literal Analysis



(a)



(b)

30

Symbolic Analysis

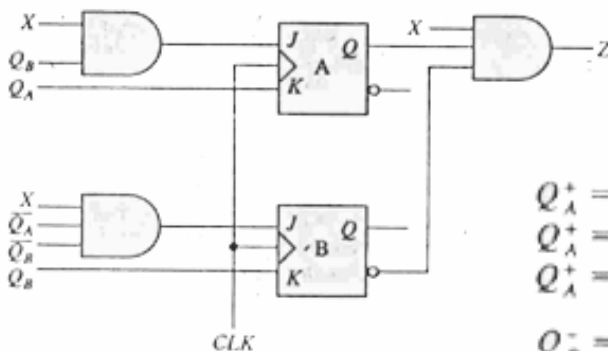
■ ขั้นตอน

- สร้าง Switching algebra ที่เป็นลักษณะการทำงานของ Output และที่จะใช้เป็น Input ของ Flip – Flop
- สร้าง Next State Equation ของ Flip – Flop แต่ละตัว โดยใช้สมการในข้อ 1
- สร้างตาราง K-Map ของ Next State แต่ละตัว โดยใช้ Next State Equation จากข้อ 2
- สร้าง State Table
- สร้าง State Diagram / Timing Diagram

31

Symbolic Analysis

■ Mealy machine



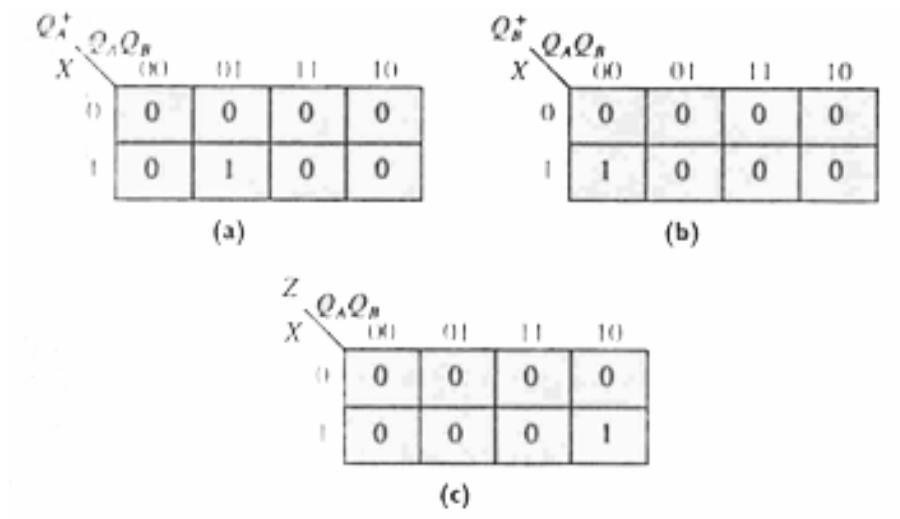
$$\begin{aligned}
 Z &= X \cdot Q_A \cdot \overline{Q_B} \\
 J_A &= X \cdot Q_B \\
 K_A &= Q_A \\
 J_B &= X \cdot \overline{Q_A} \cdot \overline{Q_B} \\
 K_B &= Q_B
 \end{aligned}$$

$$\begin{aligned}
 Q_A^+ &= (J_A \cdot \overline{Q_A}) + (\overline{K_A} \cdot Q_A) \\
 Q_A^+ &= (X \cdot Q_B \cdot \overline{Q_A}) + (\overline{Q_A} \cdot Q_A) \\
 Q_A^+ &= X \cdot Q_B \cdot \overline{Q_A}
 \end{aligned}$$

$$\begin{aligned}
 Q_B^+ &= (J_B \cdot \overline{Q_B}) + (\overline{K_B} \cdot Q_B) \\
 Q_B^+ &= (X \cdot \overline{Q_A} \cdot \overline{Q_B} \cdot \overline{Q_B}) + (\overline{Q_B} \cdot Q_B) \\
 Q_B^+ &= X \cdot \overline{Q_A} \cdot \overline{Q_B}
 \end{aligned}$$

32

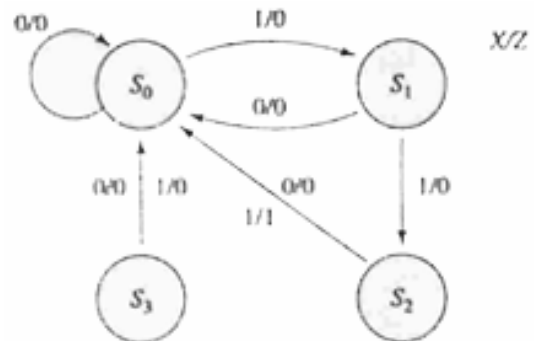
Symbolic Analysis



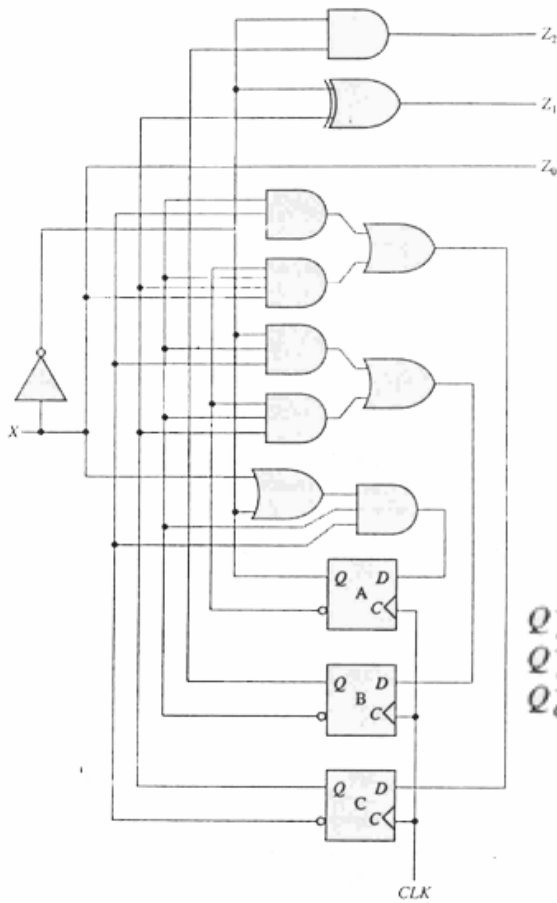
33

Symbolic Analysis

| Present state $Q_A Q_B$ | Next state $Q_A^+ Q_B^+$ | | Output Z | |
|----------------------------|-----------------------------|-------|-------------|-------|
| | X = 0 | X = 1 | X = 0 | X = 1 |
| 00 | 00 | 01 | 0 | 0 |
| 01 | 00 | 10 | 0 | 0 |
| 10 | 00 | 00 | 0 | 1 |
| 11 | 00 | 00 | 0 | 0 |



34



$$\begin{aligned}
 Z_2 &= Q_A \cdot Q_B \\
 Z_1 &= Q_A \oplus Q_C \\
 Z_0 &= X \\
 D_A &= \overline{Q_B} \cdot \overline{Q_C} \cdot (Q_A + X) \\
 D_B &= (Q_A \cdot \overline{Q_B} \cdot \overline{Q_C}) + (\overline{Q_A} \cdot \overline{Q_B} \cdot Q_C) \\
 D_C &= (\overline{Q_B} \cdot \overline{Q_C} \cdot \overline{X}) + (\overline{Q_A} \cdot \overline{Q_B} \cdot Q_C \cdot X)
 \end{aligned}$$

$$\begin{aligned}
 Q_A^+ &= D_A = \overline{Q_B} \cdot \overline{Q_C} \cdot (Q_A + X) \\
 Q_B^+ &= D_B = (Q_A \cdot \overline{Q_B} \cdot \overline{Q_C}) + (\overline{Q_A} \cdot \overline{Q_B} \cdot Q_C) \\
 Q_C^+ &= D_C = (\overline{Q_B} \cdot \overline{Q_C} \cdot \overline{X}) + (\overline{Q_A} \cdot \overline{Q_B} \cdot Q_C \cdot X)
 \end{aligned}$$

35

Symbolic Analysis

| $Q_A^+ \backslash Q_A Q_B$ | 00 | 01 | 11 | 10 |
|----------------------------|----|----|----|----|
| 00 | 0 | 0 | 1 | 1 |
| 01 | 0 | 0 | 0 | 0 |
| 11 | 0 | 0 | 0 | 0 |
| 10 | 1 | 1 | 0 | 0 |

| $Q_C^+ \backslash Q_A Q_B$ | 00 | 01 | 11 | 10 |
|----------------------------|----|----|----|----|
| 00 | 1 | 0 | 1 | 0 |
| 01 | 0 | 0 | 0 | 0 |
| 11 | 0 | 0 | 0 | 0 |
| 10 | 1 | 0 | 0 | 0 |

| $Z_1 \backslash Q_A Q_B$ | 00 | 01 | 11 | 10 |
|--------------------------|----|----|----|----|
| 00 | 0 | 0 | 1 | 1 |
| 01 | 0 | 0 | 1 | 1 |
| 11 | 1 | 1 | 0 | 0 |
| 10 | 1 | 1 | 0 | 0 |

| $Z_0 \backslash Q_A Q_B$ | 00 | 01 | 11 | 10 |
|--------------------------|----|----|----|----|
| 00 | 0 | 1 | 1 | 0 |
| 01 | 0 | 1 | 1 | 0 |
| 11 | 0 | 1 | 1 | 0 |
| 10 | 0 | 1 | 1 | 0 |

36



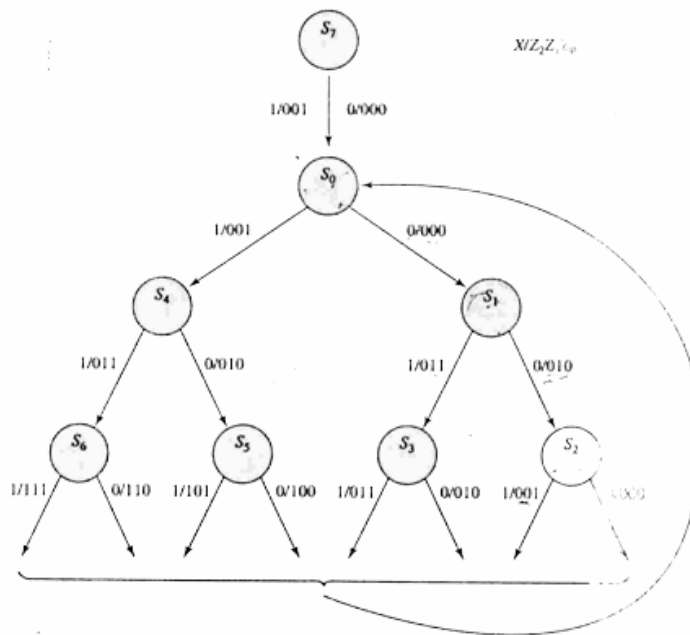
Symbolic Analysis

| Present state $Q_1 Q_2 Q_3$ | Next state $Q_1 Q_2 Q_3$ | | Output Z | |
|--------------------------------|-----------------------------|---------|---------------|---------|
| | $X = 0$ | $X = 1$ | $X = 0$ | $X = 1$ |
| | 000 | 001 | 100 | 000 |
| 001 | 010 | 011 | 010 | 011 |
| 010 | 000 | 000 | 000 | 001 |
| 011 | 000 | 000 | 010 | 011 |
| 100 | 111 | 110 | 010 | 011 |
| 101 | 000 | 000 | 000 | 001 |
| 110 | 000 | 000 | 110 | 111 |
| 111 | 000 | 000 | 100 | 101 |

37



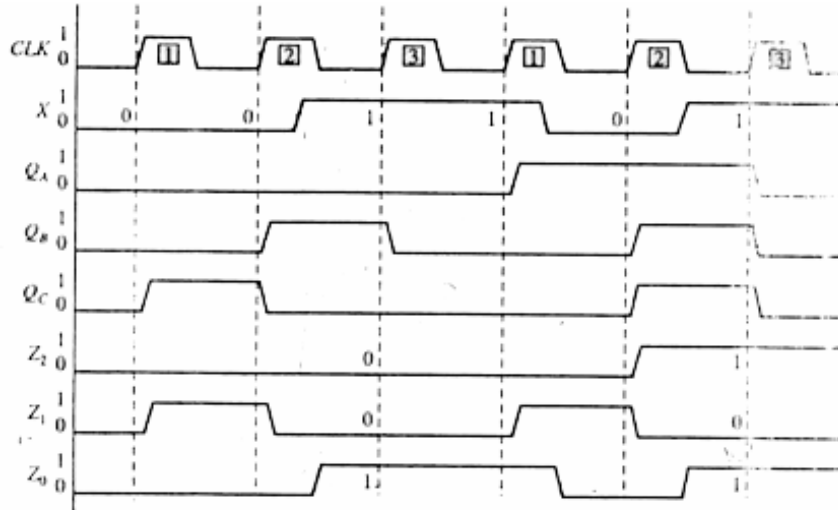
Symbolic Analysis



38



Symbolic Analysis



39



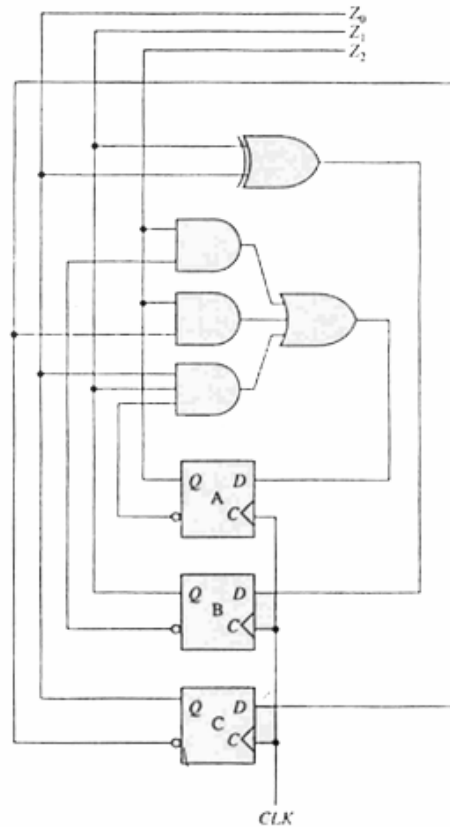
Symbolic Analysis

■ Moore machine

$$\begin{aligned}
 Z_2 Z_1 Z_0 &= Q_A Q_B Q_C \\
 D_A &= (Q_A \cdot \bar{Q}_B) + (Q_A \cdot \bar{Q}_C) + (\bar{Q}_A \cdot Q_B \cdot Q_C) \\
 D_B &= Q_B \oplus Q_C \\
 D_C &= \bar{Q}_C
 \end{aligned}$$

$$Q^* = D$$

$$\begin{aligned}
 Q_A^* &= D_A = (Q_A \cdot \bar{Q}_B) + (Q_A \cdot \bar{Q}_C) + (\bar{Q}_A \cdot Q_B \cdot Q_C) \\
 Q_B^* &= D_B = Q_B \oplus Q_C \\
 Q_C^* &= D_C = \bar{Q}_C
 \end{aligned}$$



40



Symbolic Analysis

$$\begin{array}{c|cccc}
 Q_A^* \backslash Q_B Q_C & 00 & 01 & 11 & 10 \\
 \hline
 0 & 0 & 0 & 1 & 0 \\
 1 & 1 & 1 & 0 & 1
 \end{array}$$

$$\begin{array}{c|cccc}
 Q_A^* \backslash Q_B Q_C & 00 & 01 & 11 & 10 \\
 \hline
 0 & 0 & 1 & 0 & 1 \\
 1 & 0 & 1 & 0 & 1
 \end{array}$$

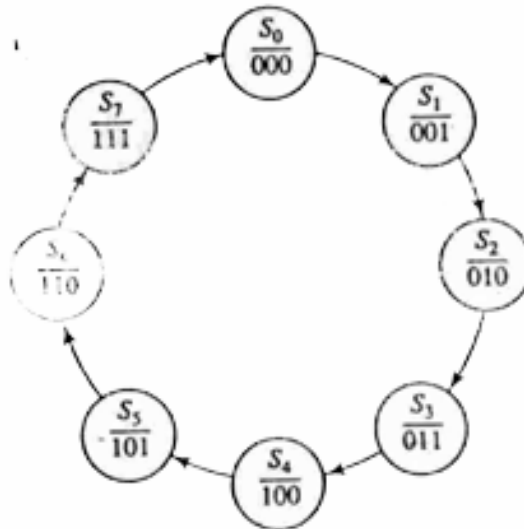
$$\begin{array}{c|cccc}
 Q_C^* \backslash Q_A Q_C & 00 & 01 & 11 & 10 \\
 \hline
 0 & 1 & 0 & 0 & 1 \\
 1 & 1 & 0 & 0 & 1
 \end{array}$$

| | Present state $Q_A Q_B Q_C$ | Next state $Q_A^* Q_B^* Q_C^*$ | Output $Z_1 Z_2 Z_3$ |
|---------|--------------------------------|-----------------------------------|-------------------------|
| (S_0) | 000 | 001 | 000 |
| (S_1) | 001 | 010 | 001 |
| (S_2) | 010 | 011 | 010 |
| (S_3) | 011 | 100 | 011 |
| (S_4) | 100 | 101 | 100 |
| (S_5) | 101 | 110 | 101 |
| (S_6) | 110 | 111 | 110 |
| (S_7) | 111 | 000 | 111 |

41



Symbolic Analysis



42